

Il testo va riconsegnato

ESERCIZIO N°1

8 punti

Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che analizza un blocco di memoria di 200 byte, a partire dall'indirizzo 0x2200, contenente numeri esadecimali di 2 cifre (ogni cifra è rappresentata in binario), valutando quanti di questi numeri sono costituiti da cifre uguali (come, per esempio, 0x22 oppure 0xAA). Il risultato deve essere lasciato nel registro R16.

ESERCIZIO N°2

6 punti

Realizzare in forma PS ottima una rete combinatoria a 5 ingressi, X_4 , X_3 , X_2 , X_1 , e X_0 caratterizzata dalla tabella di verità:

{1, 1, -, -, 1, -, 1, 0, -, 0, 1, 1, 1, 1, 0, 0, 1, 0, 1, 0, -, 1, 1, 0, -, 1, -, 0, -, 0, -, 1}.

Indicare gli implicati essenziali, giustificando l'affermazione.

ESERCIZIO N°3

6 punti

Disegnare lo schema logico di un sequenziatore con contatore sincrono (dotato della possibilità di caricamento parallelo) che implementi microcodice specificato nel seguito.

```
A:  IF J THEN F ELSE C; OP = 010
B:  IF M THEN H ELSE E; OP = 000
C:  IF K THEN A ELSE D; OP = 111
D:  IF L THEN C ELSE F; OP = 010
E:  IF M THEN B ELSE G; OP = 111
F:  IF J THEN D ELSE B; OP = 111
G:  IF L THEN E ELSE H; OP = 101
H:  IF K THEN G ELSE A; OP = 000
```

ESERCIZIO N°4

6 punti

Sintetizzare una rete sequenziale sincronizzata secondo il modello di Mealy sincronizzato, con in ingresso IN e una uscita U , in grado di generare le due sequenze periodiche con il periodo costituito dai valori 1011 quando l'ingresso è 1 e 0010 quando l'ingresso è 0. La macchina è sensibile al valore dell'ingresso solo all'accensione e dopo aver terminato correttamente un ciclo completo della sequenza.

ESERCIZIO N°5

7 punti

Disegnare, usando solo diodi e resistori da 1 k Ω per il primo stadio (AND) e da 10 k Ω per il secondo stadio (OR), un circuito logico che realizza la funzione logica $U = ABC + DE$.

Determinare la tensione di uscita nei due casi, quando tutti gli ingressi sono pilotati a Gnd e quindi a V_{DD} . ($V_{DD} = 5$ V; $V_{Don} = 0,7$ V).

/*Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che analizza un blocco di memoria di 200 byte, a partire dall'indirizzo 0x2200, contenente numeri esadecimali di 2 cifre (ogni cifra è rappresentata in binario), valutando quanti di questi numeri sono costituiti da cifre uguali (come, per esempio, 0x22 oppure 0xAA).
Il risultato deve essere lasciato nel registro R16.*/

```
XX_counter:
    push R17
    push R18
    push R19
    push XL
    push XH
    ldi XL,low(0x2200)
    ldi XH,high(0x2200)    //puntatore
    clr R16                //per il risultato
    ldi R17,200            //contatore
loop:
    ld R18,X+              //carica numero da esaminare
    mov R19,R18            //replica
    swap R19               //inverte le cifre
    cp R18,R19             //vengono uguali solo se le cifre sono uguali
    brne not_inc
    inc R16
not_inc:
    dec R17
    brne loop
pop XH
pop XL
pop R19
pop R18
pop R17
ret
```

Realizzare in forma PS ottima una rete combinatoria a 5 ingressi caratterizzata dalla tabella di verità:

{1, 1, -, -, 1, -, 1, 0, -, 0, 1, 1, 1, 1, 0, 0, 1, 0, 1, 0, -, 1, 1, 0, -, 1, -, 0, -, 0, -, 1}.

Indicare gli implicati essenziali, giustificando l'affermazione.

X_3, X_2 X_1, X_0		$X_4 = 0$				$X_4 = 1$			
		00	01	11	10	00	01	11	10
00		1	1	1	-	1	-	-	-
01		1	-	1	*0	0*	1	*0	1
11		-	0	0	1	0	*0	1	0
10		-	1	0	1	1	1	-	-

Servono 6 implicati di cui 4 sono essenziali. La soluzione ottima ha 23 letterali.

Soluzione PS:

$$Y = (X_4 + \overline{X_3} + X_2 + X_1)(\overline{X_4} + \overline{X_3} + \overline{X_2} + X_1)(\overline{X_4} + X_3 + X_2 + \overline{X_0})(X_3 + \overline{X_1} + \overline{X_0}) \cdot (X_4 + \overline{X_3} + \overline{X_2} + \overline{X_1})(\overline{X_4} + \overline{X_3} + X_2 + \overline{X_1})$$

3

Disegnare lo schema logico di un sequenziatore con contatore sincrono (dotato della possibilità di caricamento parallelo) che implementi microcodice specificato nel seguito.

```

A:      IF J THEN F ELSE C; OP = 010
B:      IF M THEN H ELSE E; OP = 000
C:      IF K THEN A ELSE D; OP = 111
D:      IF L THEN C ELSE F; OP = 010
E:      IF M THEN B ELSE G; OP = 111
F:      IF J THEN D ELSE B; OP = 111
G:      IF L THEN E ELSE H; OP = 101
H:      IF K THEN G ELSE A; OP = 000

```

Cerco una eventuale sequenza ciclica completa.

Vero: A, F, D, C, A (non completa)

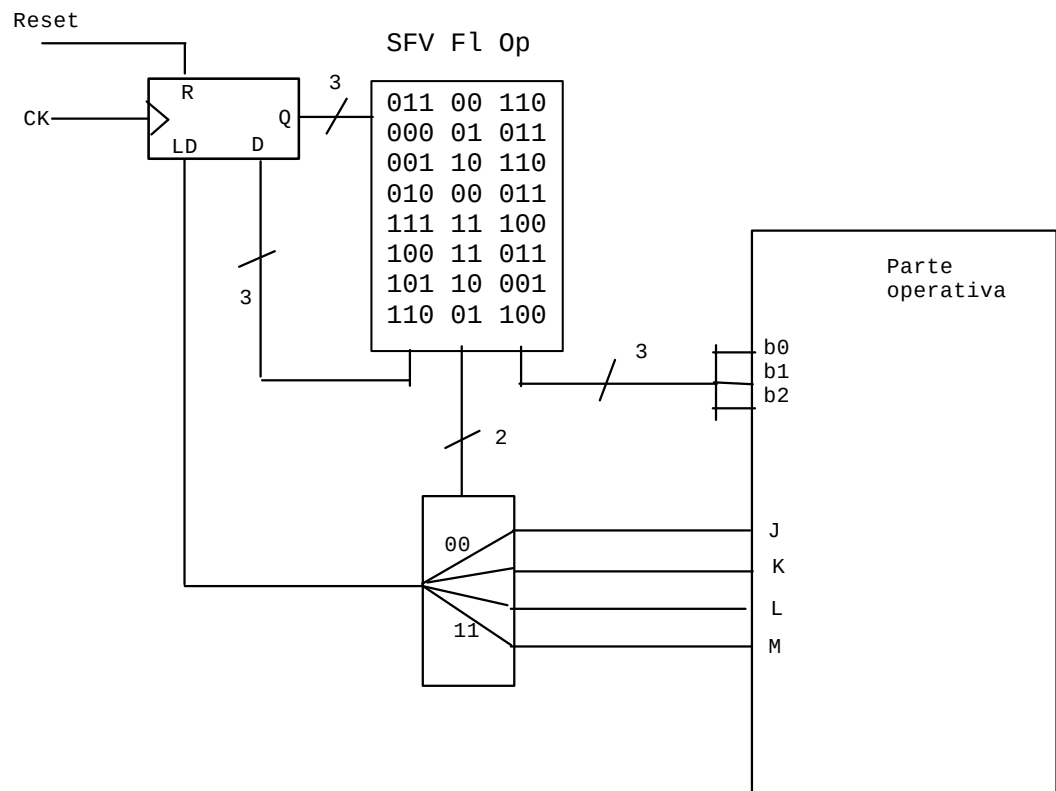
Falso: A, C, D, F, B, E, G, H, A (ok, completa)

Riorganizzo le righe secondo la sequenza trovata e codifico gli stati di conseguenza

A:	IF J THEN F ELSE C; OP = 010	A000:F011;C001;J00;Op010
C:	IF K THEN A ELSE D; OP = 111	C001:A000;D010;K01;Op111
D:	IF L THEN C ELSE F; OP = 010	D010:C001;F011;L10;Op010
F:	IF J THEN D ELSE B; OP = 111	F011:D010;B100;J00;Op111
B:	IF M THEN H ELSE E; OP = 000	B100:H111;E101;M11;Op000
E:	IF M THEN B ELSE G; OP = 111	E101:B100;G110;M11;Op111
G:	IF L THEN E ELSE H; OP = 101	G110:E101;H111;L10;Op101
H:	IF K THEN G ELSE A; OP = 000	H111:G110;A000;K01;Op000

Lo stato futuro se falso può essere determinato dal contatore con incremento.

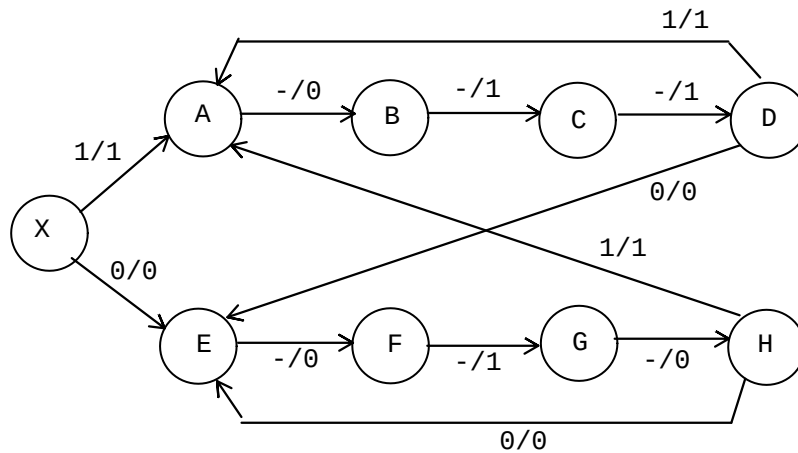
La ROM necessaria ha quindi 8 parole da 8 bit.



4

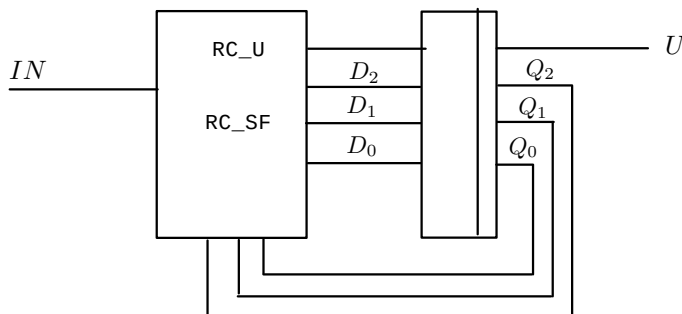
Sintetizzare una rete sequenziale sincronizzata secondo Mealy sincronizzato, con in ingresso IN e una uscita U, in grado di generare le due sequenze periodiche con il periodo costituito dai valori 1011 quando l'ingresso è 1 e 0010 quando l'ingresso è 0.

La macchina è sensibile al valore dell'ingresso solo all'accensione e dopo aver terminato correttamente un ciclo completo della sequenza.



Lo stato iniziale X e quelli finali D e H sono equivalenti, in quanto mostrano una identica evoluzione a parità di ingressi.

Architettura



XDH 000
A 001
B 011
C 010
E 101
F 111
G 110

Mappa delle transizione e dell'uscita

Q_1, Q_0					
Q_2, IN		00	01	11	10
		00	01	11	10
00		101/0	011/0	010/1	000/1
01		001/1	011/0	010/1	000/1
11		---/-	111/0	110/1	000/0
10		---/-	111/0	110/1	000/0

$$D_2 = \overline{IN} \overline{Q_1} \overline{Q_0} + Q_2 Q_0 \quad D_1 = Q_0 \quad D_0 = \overline{Q_1}$$

$$U = \overline{IN} \overline{Q_1} \overline{Q_0} + Q_1 Q_0 + \overline{Q_2} Q_1$$

5

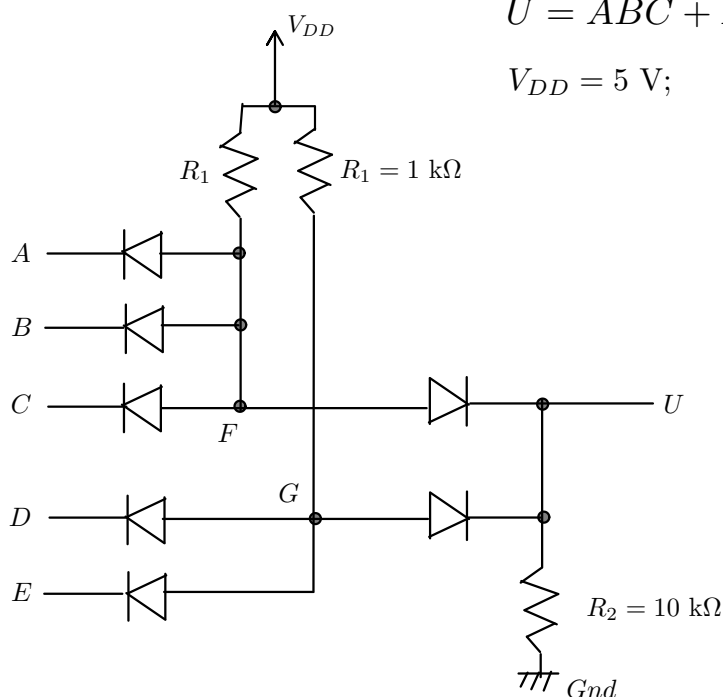
Disegnare, usando solo diodi e resistori da 1 kΩ per il primo stadio (AND) e da 10 kΩ per il secondo stadio (OR), un circuito logico che realizza la funzione indicata nel seguito.

Determinare la tensione di uscita nei due casi, quando tutti gli ingressi

- sono pilotati a Gnd
- sono pilotati a VDD

$$U = ABC + DE$$

$$V_{DD} = 5 \text{ V}; \quad V_{Don} = 0,7 \text{ V}$$

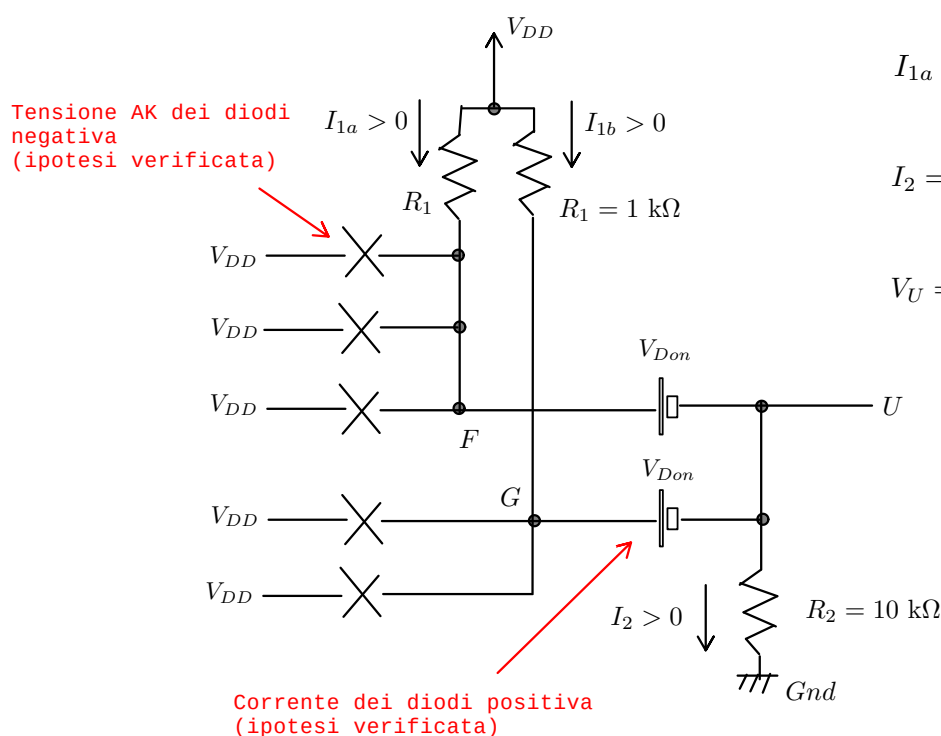


Il circuito logico sarà costituito da 2 AND a diodi come primo stadio, seguite da una OR a diodi.

Il secondo stadio ha un minor effetto caricante, avendo resistore di valore maggiore.

Se tutti gli ingressi sono alti (VDD), i diodi del primo stadio sono interdetti e le tensioni dei nodi F e G saranno uguali, alte, collegate a VDD dalle R1.

I diodi del secondo stadio condurranno e la corrente scorrerà in R2 creando una partizione.



$$I_{1a} = I_{1b} = \frac{I_2}{2}$$

$$I_2 = \frac{V_{DD} - V_{Don}}{R_2 + R_1/2} = 0,4095 \text{ mA}$$

$$V_U = R_2 I_2 = 4,095 \text{ V}$$

Osservazione:
L'uscita è alta, ma non troppo.
La degradazione dei livelli logici è uno dei limiti delle logiche a diodi

Se tutti gli ingressi sono bassi (Gnd), i diodi del primo stadio conducono e le tensioni dei nodi F e G sono pari alla tensione di accensione dei diodi.
 I diodi del secondo stadio sono al limite di conduzione, con corrente nulla.
 La tensione di uscita è quindi nulla.

