

Il testo va riconsegnato

ESERCIZIO N°1

8 punti

Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che valuta quanti numeri pari (senza segno, rappresentati su 1 byte) sono presenti in un blocco di memoria di 200 byte, a partire dall'indirizzo contenuto nel puntatore Z. Il risultato deve essere lasciato nel registro R16.

ESERCIZIO N°2

6 punti

Disegnare lo schema logico in forma NAND-NAND ottima di una rete combinatoria a 4 ingressi, X_3 , X_2 , X_1 , e X_0 caratterizzata dalla tabella di verità: {1, 1, 0, -, 1, -, 0, 1, -, 0, 1, 1, 1 -, 1, 0}. Indicare gli implicanti essenziali, giustificando l'affermazione.

ESERCIZIO N°3

6 punti

Realizzare la rete combinatoria dell'esercizio precedente usando soltanto un multiplexer 8:1 insieme eventualmente a un unico invertitore.

ESERCIZIO N°4

6 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 3 ingressi (le cifre di un numero binario tra 0 e 7) e 1 uscita, che riconosce l'arrivo consecutivo di 3 cifre multiple di 3. La macchina deve riconoscere anche le sequenze di multipli interallacciate.

ESERCIZIO N°5

7 punti

Disegnare un circuito CMOS del tipo AOI (and-or-invert) che realizza la funzione logica $U = \overline{ABC} + \overline{AD} + \overline{BE}$.

Determinare la corrente assorbita dall'alimentazione nel caso in cui tutti gli ingressi siano pilotati con una tensione pari a $V_{DD}/2$. ($V_{DD} = 5$ V; $V_{Tn} = -V_{Tp} = 1$ V; $k_n = -k_p = 12$ mA/V²).

/*Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che valuta quanti numeri pari (binari senza segno rappresentati su 1 byte) sono presenti in un blocco di memoria di 200 byte, a partire dall'indirizzo contenuto nel puntatore Z. Il risultato deve essere lasciato nel registro R16.*/*

```
even_counter:
  push R17
  push R18
  push ZL
  push ZH
  clr R16           //per il risultato
  ldi R17,200      //contatore
loop:
  ld R18,Z+        //carica numero da esaminare
  sbrs R18,0       //salta se dispari
  inc R16
  dec R17
  brne loop
pop ZH
pop ZL
pop R18
pop R17
ret
```

2

Disegnare lo schema logico in forma NAND-NAND ottima di una rete combinatoria a 4 ingressi caratterizzata dalla tabella di verità: {1, 1, 0, -, 1, -, 0, 1, -, 0, 1, 1, 1, -, 1, 0}.
Indicare gli implicanti essenziali, giustificando l'affermazione.

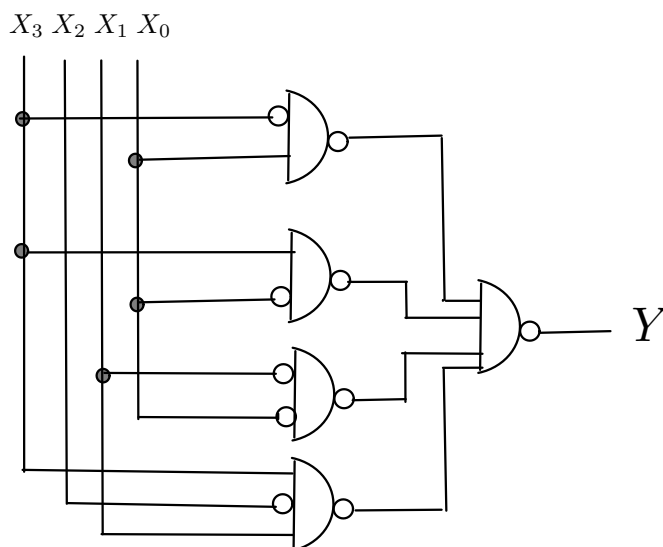
X_3, X_2		X_1, X_0			
		00	01	11	10
00	00	1	1	1	-
	01	1	-	-	0
11	11	-	*1	0	1
	10	0	0	1*	1

Servono 4 implicanti di cui 2 sono essenziali. La soluzione ottima ha 9 letterali.

Soluzione SP (da cui ricavare lo schema NAND-NAND):

$$Y = \overline{X_3}X_0 + X_3\overline{X_0} + \overline{X_1}\overline{X_0} + X_3\overline{X_2}X_1$$

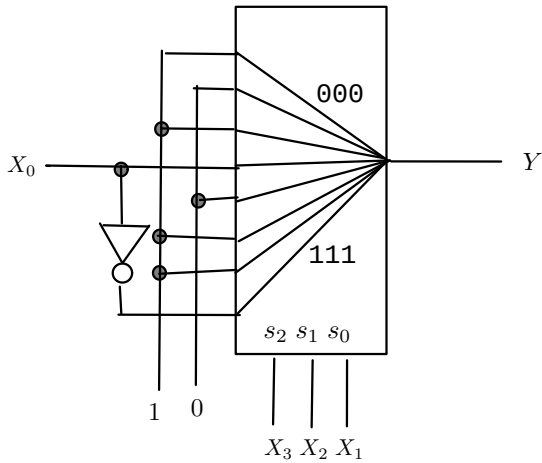
Schema NAND-NAND richiesto:



3

Realizzare la rete combinatoria dell'esercizio precedente usando soltanto un multiplexer 8:1
insieme eventualmente a un unico invertitore.

$\{1, 1, 0, -, 1, -, 0, 1, -, 0, 1, 1, 1, -, 1, 0\}$



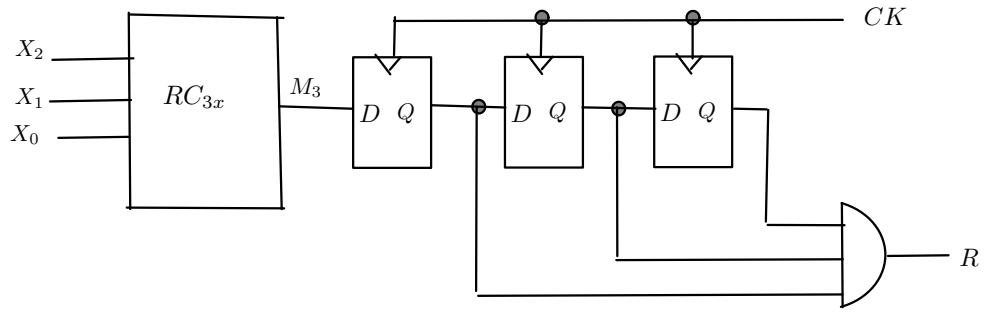
Come variabili di selezione scelgo
le 3 variabili più significative.
All'ingresso andrà una funzione della
variabile X_0

4

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 3 ingressi (le cifre di un numero binario tra 0 e 7) e 1 uscita, che riconosce l'arrivo consecutivo di 3 cifre multiple di 3. La macchina deve riconoscere anche le sequenze di multipli interallacciate.

Uso un riconoscitore di sequenze interallacciate basato su shift-register. Premetto al riconoscitore una rete combinatoria che mette l'uscita a 1 in corrispondenza dei multipli di 3.

Architettura di Moore



		X_2, X_1			
		00	01	11	10
X_0	0	1	0	1	0
	1	0	1	0	0

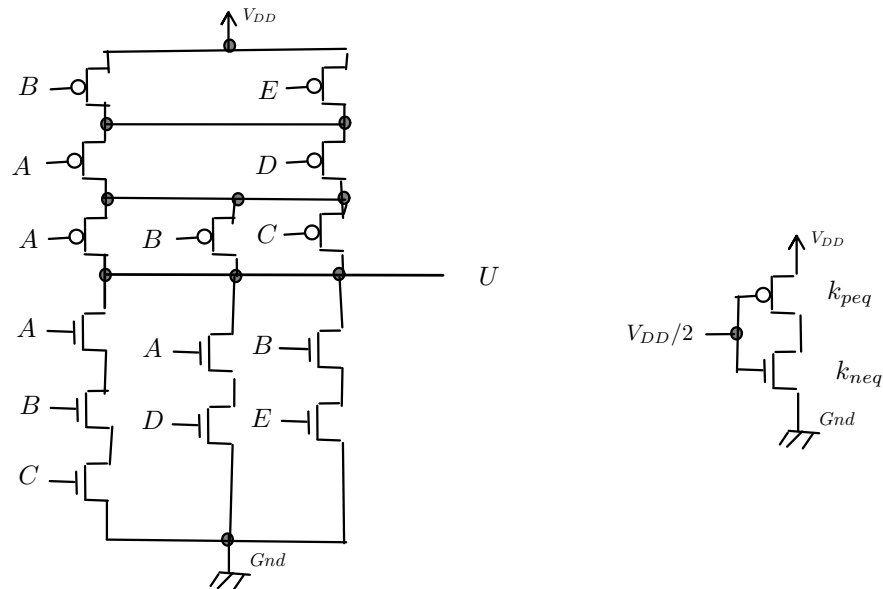
$$M_3 = \overline{X_2} \overline{X_1} \overline{X_0} + \overline{X_2} X_1 X_0 + X_2 X_1 \overline{X_0}$$

Disegnare un circuito CMOS del tipo AOI (and-or-invert) che realizza la funzione logica

$$U = \overline{ABC + AD + BE}$$

Determinare la corrente assorbita dall'alimentazione nel caso in cui tutti gli ingressi siano pilotati con una tensione pari a $V_{DD}/2$.

$$V_{DD} = 5 \text{ V}; \quad V_{Tn} = -V_{Tp} = 1 \text{ V}; \quad k_n = -k_p = 12 \text{ mA/V}^2$$



Per trovare la corrente, disegno il circuito nella situazione proposta, con tutti gli ingressi alla stessa tensione. Si ha un circuito con un PMOS equivalente e un nMOS equivalente.

$$k_{neq} = \frac{k_n}{3} + \frac{2k_n}{2} = \frac{4k_n}{3} \quad k_{peq} = \frac{1}{\frac{1}{3k_p} + \frac{1}{2k_p} + \frac{1}{2k_p}} = \frac{3k_p}{4}$$

In queste condizioni la parte nMOS (con il k in modulo maggiore) è in zona triodo, mentre la parte pMOS è satura. La corrente vale quindi:

$$I_{DD} = \frac{-k_{peq}}{2} \left(\frac{V_{DD}}{2} + V_{Tp} \right)^2 = 10,125 \text{ mA}$$

Nota: la condizione sat/sat si ha per una tensione di ingresso minore di $V_{DD}/2$.
Calcolando per verifica si ha

$$V_{IN_{sat-sat}} = 2,286 \text{ V}$$