

Il testo va riconsegnato

ESERCIZIO N°1

8 punti

Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che scrive in memoria in ciascun byte nel blocco compreso tra gli indirizzi 0x2300 e 0x23FF (compresi gli estremi) il valore ottenuto eseguendo l'or esclusivo bit a bit tra parte alta e parte bassa dell'indirizzo stesso di ciascuna locazione. La subroutine deve, come al solito, lasciare inalterati tutti i registri.

ESERCIZIO N°2

6 punti

Disegnare lo schema logico in forma NOR-NOR ottima di una rete combinatoria a 4 ingressi, X_3 , X_2 , X_1 , e X_0 caratterizzata dalla tabella di verità: {0, 1, 0, -, 1, -, 0, 1, -, 0, 1, 1, 0 -, 1, 0}. Indicare gli implicati essenziali, giustificando l'affermazione.

ESERCIZIO N°3

6 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 1 ingresso e 1 uscita che riconosce le 2 diverse sequenze 0010 e 0100, non interallacciate in alcun modo.

ESERCIZIO N°4

6 punti

Realizzare un banco di memoria da $1M \times 8$ a costo minimo, avendo a disposizione chip da $256k \times 3$ (costo 0,45 €) e $512k \times 5$ (costo 1,90 €).

ESERCIZIO N°5

7 punti

Disegnare, usando porte unidirezionali, un circuito CMOS che realizza le funzioni *somma* (S) e *riporto* (C) di un half-adder. Determinare la corrente assorbita dall'alimentazione nel caso in cui le due uscite siano in cortocircuito e i due ingressi entrambi alti. ($V_{DD} = 5 \text{ V}$; $V_{Tn} = -V_{Tp} = 1 \text{ V}$; $k_n = -k_p = 4 \text{ mA/V}^2$).

```
/*Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU
che scrive in memoria in ciascun byte nel blocco compreso
tra gli indirizzi 0x2300 e 0x23FF (compresi gli estremi)
il valore ottenuto eseguendo l'or esclusivo bit a bit
tra parte alta e parte bassa dell'indirizzo stesso di ciascuna locazione.
La subroutine deve, come al solito, lasciare inalterati tutti i registri.*/
```

```
fill:
```

```
  push R16
  push R17
  push XL           //puntatore di appoggio
  push XH
  clr R16           //carico 0 per avere 256 iterazioni
  ldi XL,low(0x2300)
  ldi XH,high(0x2300)
loop:
  mov R17,XL
  eor R17,XH       //esegue l'operazione richiesta
  st X+,R17        //scrive il valore e avanza
  dec R16
  brne loop
pop XH
pop XL
pop R17
pop R16
ret
```

2

Disegnare lo schema logico in forma NOR-NOR ottima di una rete combinatoria a 4 ingressi caratterizzata dalla tabella di verità:

{0, 1, 0, -, 1, -, 0, 1, -, 0, 1, 1, 0, -, 1, 0}.

Indicare gli implicati essenziali, giustificando l'affermazione.

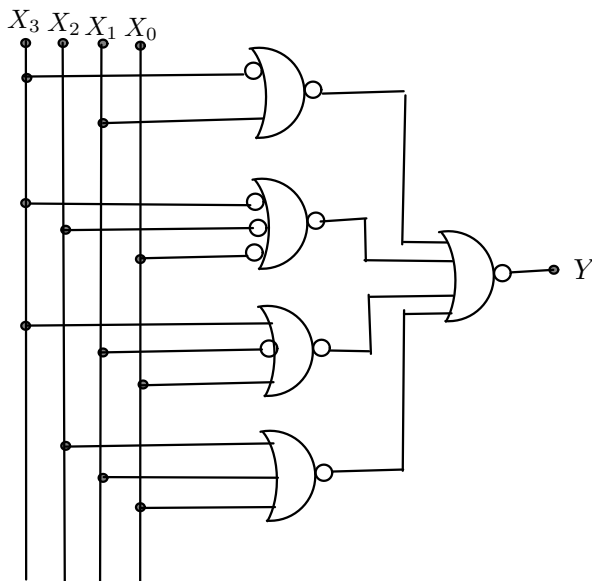
| | | | | | |
|------------|---|------------|----|----|----|
| X_3, X_2 | | X_1, X_0 | | | |
| | | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 0* | - | |
| | 1 | - | - | 0 | |
| 01 | - | 1 | 0* | 1 | |
| | 0 | *0 | 1 | 1 | |

Procedo come per la sintesi PS
 Poi applicherò il teorema di De Morgan
 al prodotto finale.
 3 dei 4 implicati necessari sono essenziali.
 La soluzione ottima ha 11 letterali.

Forma PS:

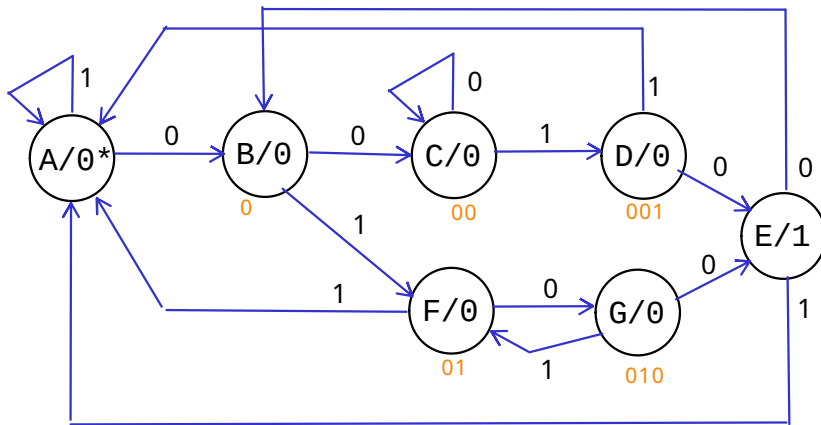
$$Y = (\overline{X_3} + X_1)(\overline{X_3} + \overline{X_2} + \overline{X_0})(X_3 + \overline{X_1} + X_0)(X_2 + X_1 + X_0)$$

Schema NOR-NOR:



3

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 1 ingresso e 1 uscita che riconosce le 2 diverse sequenze 0010 e 0100, non interallacciate in alcun modo.

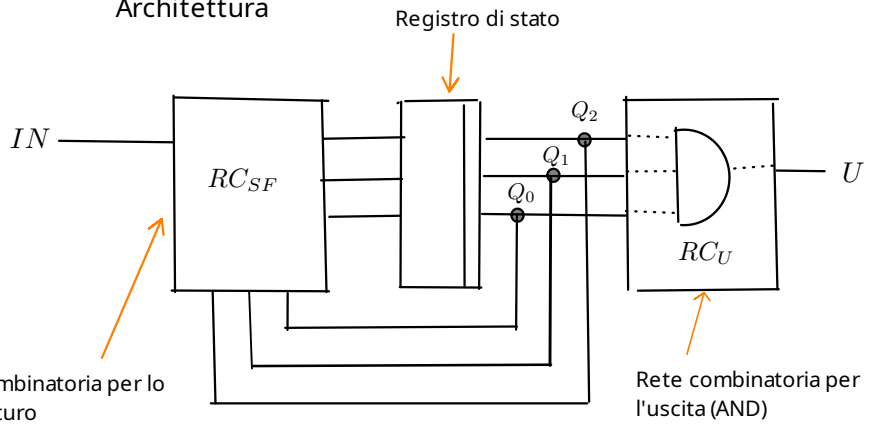


Codifica degli stati

| | code | U |
|---|--------------|---|
| A | 000 | 0 |
| B | 001 | 0 |
| C | 010 | 0 |
| D | 011 | 0 |
| E | 111 | 1 |
| F | 100 | 0 |
| G | 110 | 0 |
| X | 101->000,100 | |

Dopo la sintesi, per IN=0,1

Architettura



$$U = Q_2 Q_1 Q_0$$

Sintesi

| Q_2, IN | Q_1, Q_0 | | | |
|-----------|------------|----------|----------|----------|
| | 00 | 01 | 11 | 10 |
| 00 | 001 B | 010 C | 111 E | 010 C |
| 01 | 000 A | 100 F | 000 A | 011 D |
| 11 | 000 A | --- | 000 A | 100 F |
| 10 | 110 G | --- | 001 B | 111 E |

| | | | |
|---|---|---|---|
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | - | 0 | 1 |
| 1 | - | 0 | 1 |

$$D_2 = \overline{IN} \overline{Q_2} Q_1 Q_0 + IN \overline{Q_1} Q_0 + Q_2 Q_1 \overline{Q_0} + \overline{IN} Q_2 \overline{Q_0}$$

| | | | |
|---|---|---|---|
| 0 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 0 | - | 0 | 0 |
| 1 | - | 0 | 1 |

$$D_1 = \overline{IN} \overline{Q_2} Q_0 + \overline{Q_2} Q_1 \overline{Q_0} + \overline{IN} Q_2 \overline{Q_0}$$

| | | | |
|---|---|---|---|
| 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 |
| 0 | - | 0 | 0 |
| 0 | - | 1 | 1 |

$$D_0 = \overline{IN} \overline{Q_2} \overline{Q_1} \overline{Q_0} + \overline{IN} Q_1 Q_0 + IN \overline{Q_2} Q_1 \overline{Q_0} + \overline{IN} Q_2 Q_1$$

4

Realizzare un banco di memoria da $1M \times 8$ a costo minimo, avendo a disposizione chip da $256k \times 3$ (A: costo 0,45 €) e $512k \times 5$ (B: costo 1,90 €).

Vediamo il costo a megabit presentato dai 2 diversi chip.

$$A: \frac{4}{3} \cdot 0,45 = 0,60$$

$$B: \frac{2}{5} \cdot 1,90 = 0,76$$

Considero comunque assemblaggi con ugual numero di parole (1M)

A' ($1M \times 3$) 1,80 [4 chip]

B' ($1M \times 5$) 3,80 [2 chip]

Possiamo arrivare alla taglia richiesta in diversi modi:

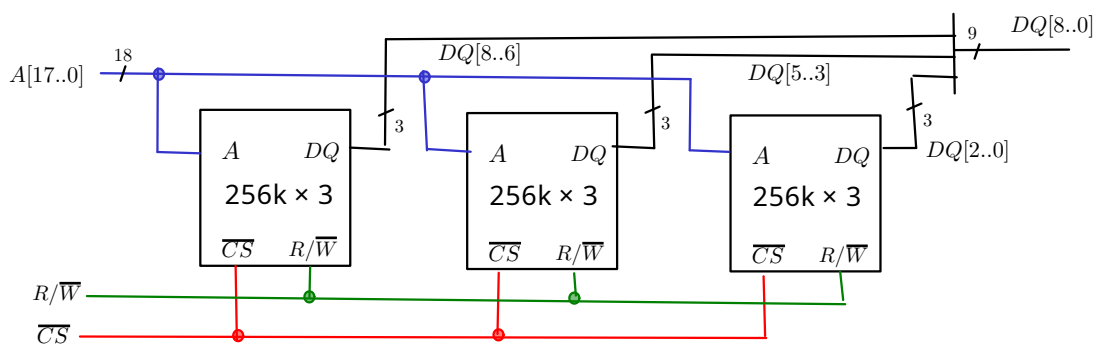
3A' 5,40 con 1 bit inutilizzato

A'+B' 5,60

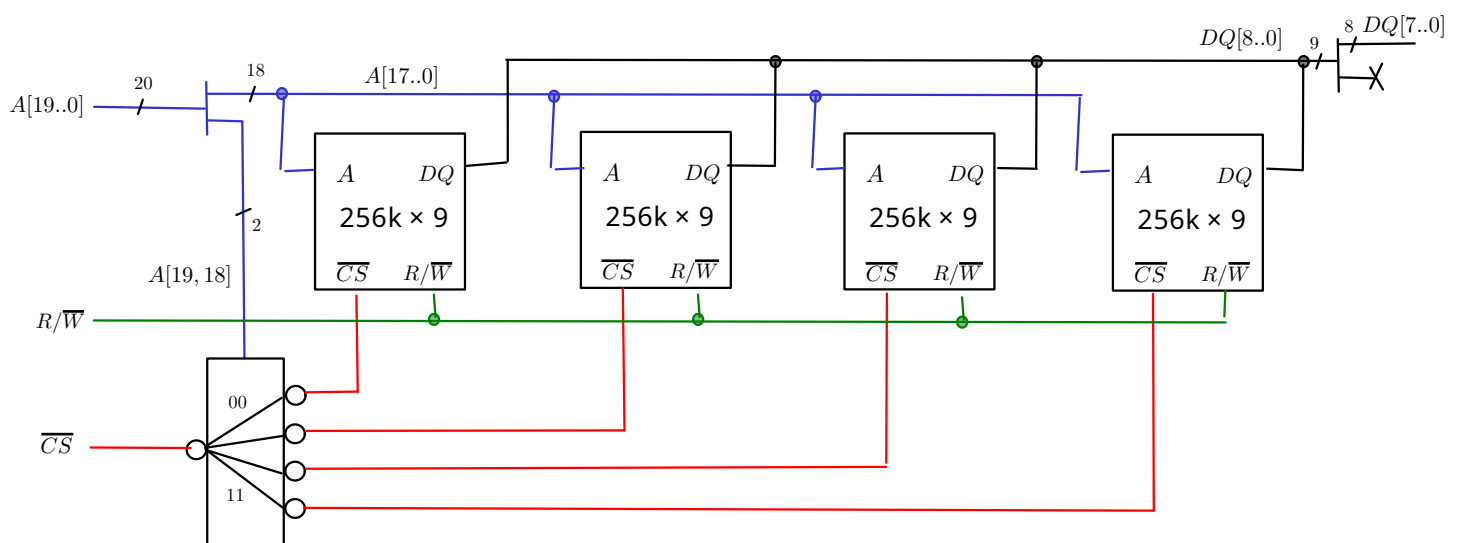
2B' 7,60 con 2 bit inutilizzati

La prima soluzione è la più conveniente, pur avendo un bit non utilizzato, a causa del minor costo unitario di A.

Inizio col realizzare un modulo $256k \times 9$



Aumento il numero di parole usando 4 di questi moduli, fino a $1M \times 8$ (lasciando scollegato un bit)



Disegnare, usando porte unidirezionali, un circuito CMOS che realizza le funzioni somma (S) e riporto (C) di un half-adder.

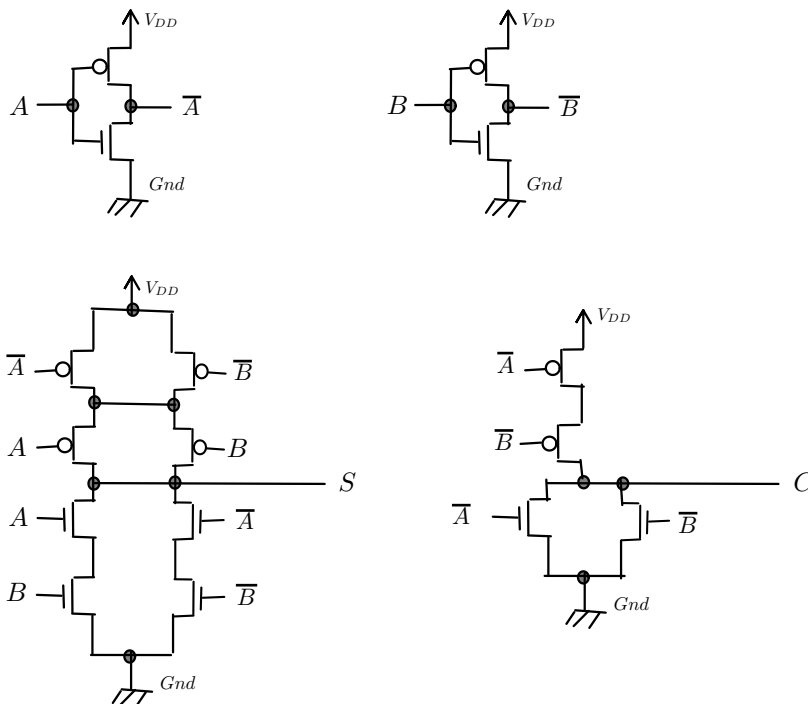
Determinare la corrente assorbita dall'alimentazione nel caso in cui le due uscite siano in cortocircuito e i due ingressi entrambi alti.

$$V_{DD} = 5 \text{ V}; \quad V_{Tn} = -V_{Tp} = 1 \text{ V}; \quad k_n = -k_p = 4 \text{ mA/V}^2$$

Per realizzare le due funzioni, le metto in forma AOI (and-or-invert)

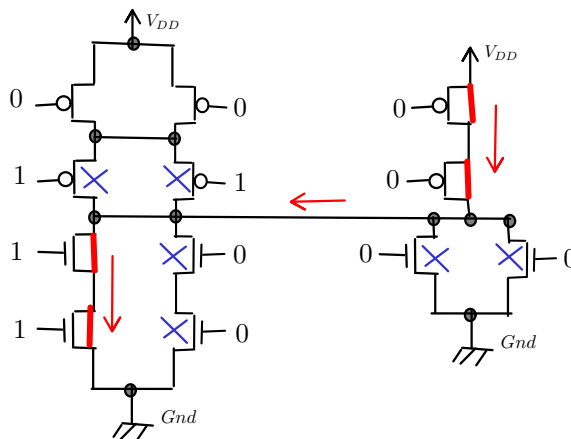
$$S = A \oplus B = \overline{AB + \overline{A}\overline{B}} \quad C = AB = \overline{\overline{A} + \overline{B}}$$

Per avere i due ingressi negati uso due inverter e poi realizzo le due AOI



Per trovare la corrente, disegno il circuito nella situazione proposta, con i due ingressi alti e le uscite cortocircuitate.

La corrente scorre solo nei MOS in conduzione (in rosso).



Si ha una situazione di simmetria, con 2 pMOS in serie contro 2 nMOS in serie.

$$k_{neq} = \frac{k_n}{2}; \quad k_{peq} = \frac{k_p}{2}$$

La tensione di uscita sarà pari a metà della tensione di alimentazione e le due sezioni saranno in zona triodo. Per calcolare la corrente posso riferirmi alla zona n.

$$I_{DD} = \frac{k_n}{4} \frac{V_{DD}}{2} \left(V_{DD} + \frac{V_{DD}}{2} - 2V_{Tn} \right) = 13,75 \text{ mA}$$