

Il testo va riconsegnato

ESERCIZIO N°1

8 punti

Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che scambia la posizione di due blocchi di memoria della dimensione di 400 byte. Un blocco inizia all'indirizzo 0x2300 e l'altro inizia all'indirizzo 0x2600. La subroutine deve, come al solito, lasciare inalterati tutti i registri.

ESERCIZIO N°2

6 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 1 ingresso e 1 uscita che viene posta a 1 (dopo il clock) ogni volta che in ingresso viene riconosciuta una delle 2 seguenti sequenze: 110 e 101, comunque interallacciate.

ESERCIZIO N°3

6 punti

Realizzare in forma NAND-NAND ottima la rete combinatoria a 5 ingressi, X_4, X_3, X_2, X_1 , e X_0 e 1 uscita Y , la cui tabella di verità è la seguente: {1, -, 1, -, 1, -, 0, 1, 0, 1, -, 0, 1, 1, -, 1, -, 0, -, 1, 1, -, 0, 0, -, 1, -, -, 0, 0, 1, 1}. Indicare gli implicant essenziali, giustificando l'affermazione.

ESERCIZIO N°4

6 punti

Disegnare lo schema logico di un latch D con abilitazione e reset usando solo porte NOR.

ESERCIZIO N°5

7 punti

Tra le uscite di due invertitori CMOS si è venuto a creare un cortocircuito. Determinare i possibili valori che può assumere la tensione di uscita al variare degli ingressi (i valori di tensione corrispondenti ai livelli logici sono 0 e V_{DD}) e la massima corrente che può essere assorbita dall'alimentazione. Determinare quindi la potenza dissipata in questa condizione. Si considerino per gli ingressi valori logici ($V_{DD} = 5 \text{ V}$; $V_{Tn} = -V_{Tp} = 1 \text{ V}$; $k_n = -k_p = 4 \text{ mA/V}^2$).

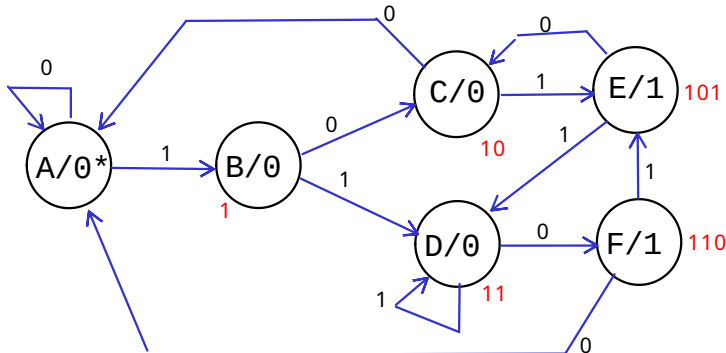
/*Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che scambia la posizione di due blocchi di memoria della dimensione di 400 byte. Un blocco inizia all'indirizzo 0x2300 e l'altro inizia all'indirizzo 0x2600. La subroutine deve, come al solito, lasciare inalterati tutti i registri.*/

```
block_move:
    push R16
    push R17
    push R24
    push R25
    push XL
    push XH
    push YL
    push YH
    ldi R24,low(400)           //usa R25:R24 come contatore e lo inizializza a 400
    ldi R25,high(400)
    ldi XL,low(0x2300)        //usa X come primo puntatore e lo inizializza a 0x2300
    ldi XH,high(0x2300)
    ldi YL,low(0x2600)        //usa Y come secondo puntatore e lo inizializza a 0x2600
    ldi YH,high(0x2600)
loop:
    ld R16,X
    ld R17,Y
    st X+,R17
    st Y+,R16                 //ha scambiaato due byte
    sbiw R25:R24,1
    brne loop
pop YH
pop YL
pop XH
pop XL
pop R25
pop R24
pop R17
pop R16
ret
```

2

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 1 ingresso e 1 uscita che viene posta a 1 (dopo il clock) ogni volta che in ingresso viene riconosciuta una delle 2 seguenti sequenze: 110 e 101, comunque interallacciate.

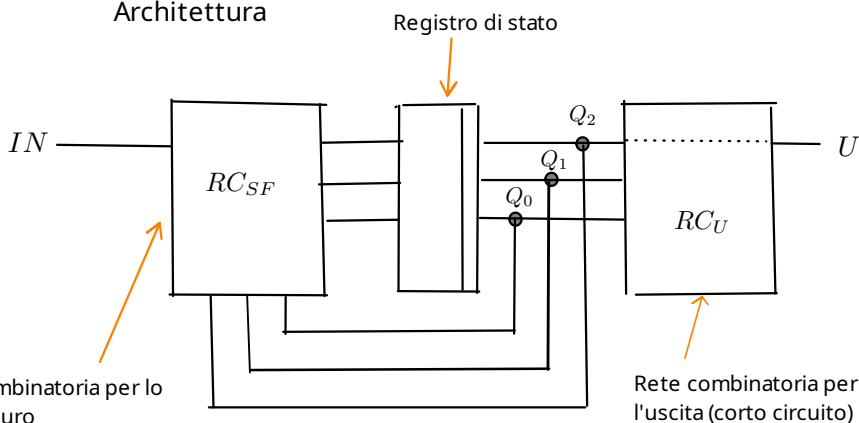
(possibile la soluzione con shift register)



Codifica degli stati

- A 000
- B 001
- C 010
- D 011
- E 100 (con uscita 1)
- F 101 (con uscita 1)

Architettura



Sintesi

$$U = Q_2$$

		Q_1, Q_0			
		00	01	11	10
Q_2, IN	00	000	010	101	000
	01	001	011	011	100
	11	011	100	---	---
	10	010	000	---	---

0	0	1	0
0	0	0	1
0	1	-	-
0	0	-	-

$$D_2 = \overline{IN}Q_1Q_0 + INQ_1\overline{Q_0} + INQ_2Q_0$$

0	1	0	0
0	1	1	0
1	0	-	-
1	0	-	-

$$D_1 = \overline{Q_2}\overline{Q_1}Q_0 + IN\overline{Q_2}Q_0 + Q_2\overline{Q_0}$$

0	0	1	0
1	1	1	0
1	0	-	-
0	0	-	-

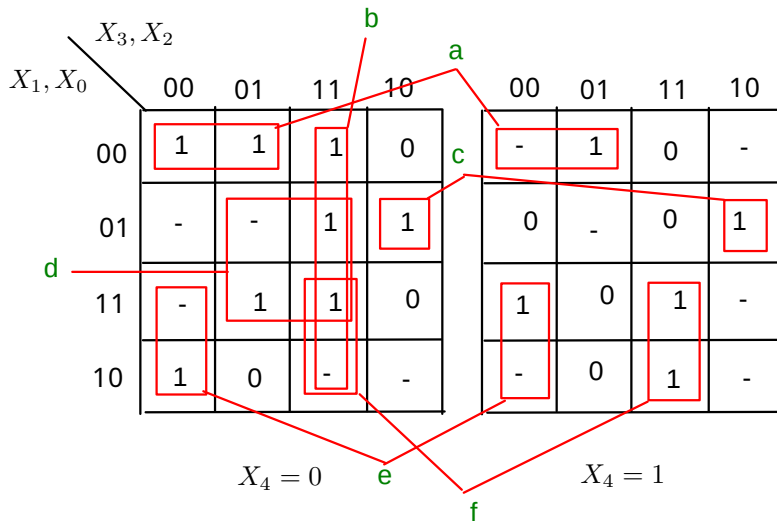
$$D_0 = Q_1Q_0 + IN\overline{Q_1}\overline{Q_0} + IN\overline{Q_2}Q_0$$

3

Realizzare in forma NAND-NAND ottima la rete combinatoria a 5 ingressi (i bit di x) e 1 uscita, la cui tabella di verità è la seguente:

{1, -, 1, -, 1, -, 0, 1, 0, 1, -, 0, 1, 1, -, 1, -, 0, -, 1, 1, -, 0, 0, -, 1, -, -, 0, 0, 1, 1}.

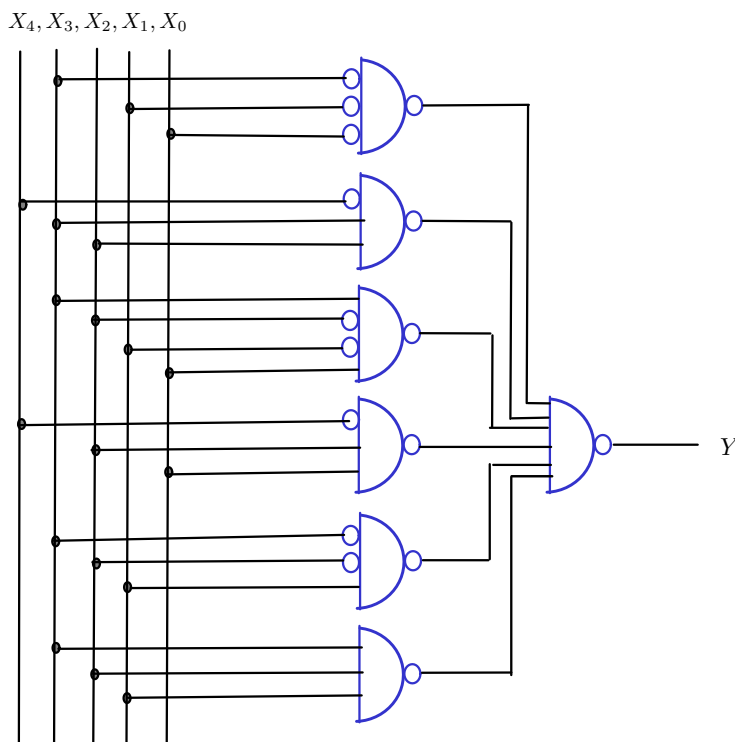
Indicare gli implicanti essenziali, giustificando l'affermazione.



Nessun implicante è essenziale. Esistono diverse soluzioni equivalenti.

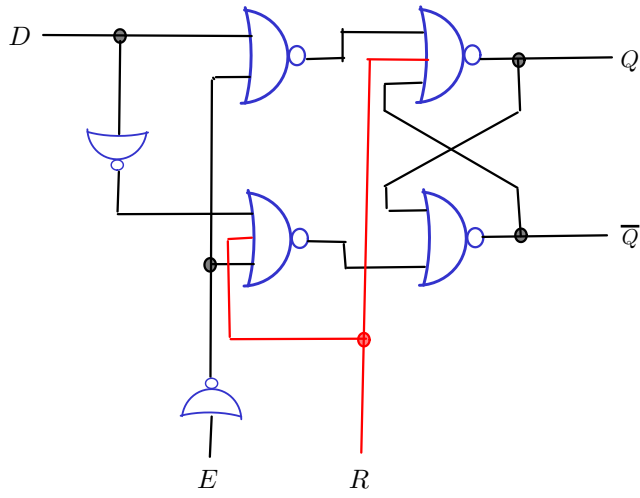
$$Y = \overline{X_3} \overline{X_1} \overline{X_0} + \overline{X_4} X_3 X_2 + X_3 \overline{X_2} \overline{X_1} X_0 + \overline{X_4} X_2 X_0 + \overline{X_3} \overline{X_2} X_1 + X_3 X_2 X_1$$

La funzione viene espressa dalla somma di 6 implicanti, nessuno essenziale. Il passaggio da SP a NAND-NAND si ottiene applicando il teorema di De Morgan alla OR finale e spostando le inversioni alle uscite del livello dei prodotti.



4

Disegnare lo schema logico di un latch D con abilitazione e reset usando solo porte NOR.



Per realizzare una NOT
si usa una NOR con gli altri
ingressi a 0

Tra le uscite di due invertitori CMOS si è venuto a creare un cortocircuito.
 Determinare i possibili valori che può assumere la tensione di uscita al variare degli ingressi (i valori di tensione corrispondenti ai livelli logici sono 0 e VDD) e la massima corrente che può essere assorbita dall'alimentazione.
 Determinare quindi la potenza dissipata in questa condizione.
 Si considerino per gli ingressi valori logici "pieni"

$$V_{DD} = 5 \text{ V}; \quad V_{Tn} = -V_{Tp} = 1 \text{ V}; \quad k_n = -k_p = 4 \text{ mA/V}^2$$

Se gli ingressi dei due invertitori sono concordi e nulli, l'uscita sarà coerentemente VDD; allo stesso modo, se gli ingressi sono entrambi VDD, l'uscita sarà nulla.
 In queste condizioni, a vuoto, non scorre corrente dall'alimentazione e la potenza dissipata è nulla.

I rimanenti 2 casi, con ingressi degli invertitori discordi, sono equivalenti e portano a una condizione di conflitto in uscita.
 Vista la perfetta antisimmetria dei transistori, si avranno in entrambi i casi un pMOS e un nMOS accesi (in zona triodo) e uscita pari a $V_{DD}/2$.
 La corrente nei due rami (e quindi la potenza dissipata) è uguale e pari a:

$$I_{DD} = \frac{k_n}{2} \frac{V_{DD}}{2} \left(V_{DD} + \frac{V_{DD}}{2} - 2V_{Tn} \right) = 27,5 \text{ mA};$$

$$P_D = I_{DD} V_{DD} = 137,5 \text{ mW}$$

Schema elettrico:

