

Il testo deve essere riconsegnato nella cartellina. **Non usare il colore rosso nello svolgimento.**
Appello straordinario: l'orale si deve tenere in questa stessa sessione.

ESERCIZIO N°1

8 punti

Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che valuta quanti numeri pari (rappresentati in C1 su 2 byte) sono presenti in un blocco di 200 numeri, posti in memoria a partire dall'indirizzo contenuto nel puntatore Z. Il risultato deve essere lasciato nel registro R16.

ESERCIZIO N°2

5 punti

Disegnare lo schema logico in forma NAND-NAND ottima di una rete combinatoria a 5 ingressi, X_4, X_3, X_2, X_1 , e X_0 caratterizzata dalla tabella di verità:

{0, -, 1, 0, 1, -, 0, 1, 1, -, 1, 0, 1, -, -, 0, 1, 1, 0, 0, 1, 0, 1, 1, -, 0, 1, 0, -, 0, 1, 1}.

Indicare gli implicanti essenziali, giustificando l'affermazione.

ESERCIZIO N°3

5 punti

Realizzare la rete combinatoria dell'esercizio precedente usando soltanto multiplexer 2:1, evitando l'uso di blocchi non necessari.

ESERCIZIO N°4

5 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 3 ingressi (le cifre di un numero binario tra 0 e 7) e 1 uscita, che riconosce l'arrivo consecutivo di 3 cifre multiple di 3. La macchina deve evitare di riconoscere sequenze di multipli interallacciate.

ESERCIZIO N°5

5 punti

Determinare la rappresentazione nel formato frazionario [3.13] in C2 dei seguenti numeri e valutare l'errore assoluto (nel caso di valori non rappresentabili esattamente, si scelga la rappresentazione che meglio approssima il valore proposto):

 $-e^{e/3}$ $\log_3(0,175)$ $-0,00390625$ $-\pi^2/4$

0,2

ESERCIZIO N°6

5 punti

Disegnare lo schema logico di un sommatore a 3 bit secondo l'approccio carry look-ahead. Si hanno a disposizione porte elementari, half-adder e full-adder.

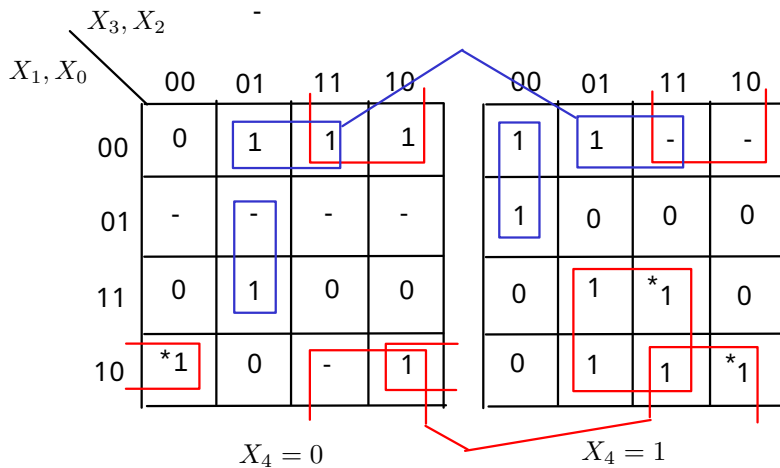
/*Realizzare un sottoprogramma per il microcontrollore XMEGA256A3BU che valuta quanti numeri pari (rappresentati in C1 su 2 byte) sono presenti in un blocco di 200 numeri, posti in memoria a partire dall'indirizzo contenuto nel puntatore Z.

Il risultato deve essere lasciato nel registro R16.*/*

even_counter:

```
push R17
push R18
push R19
push ZL
push ZH
clr R16 //per il risultato
ldi R17,200 //contatore
loop:
  ld R18,Z+ //carica LSByte del numero da analizzare
  ld R19,Z+ //carica MSByte per vedere il segno
  test: //pari in C1: R18.b0 xnor R19.b7
  rol R19
  rol R19 //porta R19.b7 nella posizione R19.b0
  eor R19,R18 //se pari, R19.b0=0
  sbrs R19,0
  inc R16 //viene saltata se dispari
  dec R17
  brne loop
pop ZH
pop ZL
pop R19
pop R18
pop R17
ret
```

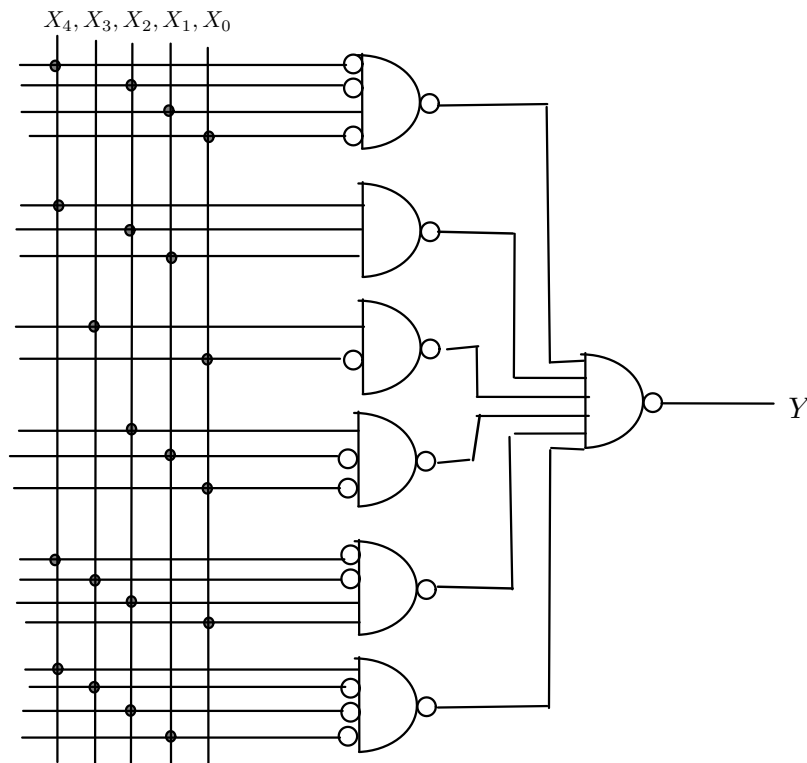
Disegnare lo schema logico in forma NAND-NAND ottima di una rete combinatoria a 5 ingressi caratterizzata dalla seguente tabella di verità: {0, -, 1, 0, 1, -, 0, 1, 1, -, 1, 0, 1, -, -, 0, 1, 1, 0, 0, 1, 0, 1, 1, -, 0, 1, 0, -, 0, 1, 1}. Indicare gli implicanti essenziali, giustificando l'affermazione.



Servono 6 implicanti di cui 3 sono essenziali. La soluzione ottima ha 20 letterali.

Soluzione SP da cui ricavare la forma NAND-NAND:

$$Y = \overline{X_4} \overline{X_2} X_1 \overline{X_0} + X_4 X_2 X_1 + X_3 \overline{X_0} + X_2 \overline{X_1} \overline{X_0} + \overline{X_4} \overline{X_3} X_2 X_0 + X_4 \overline{X_3} \overline{X_2} \overline{X_1}$$



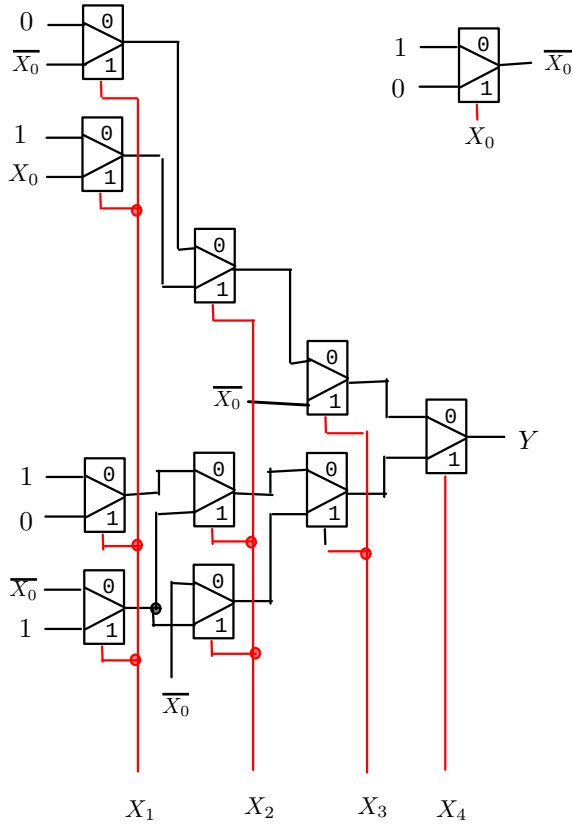
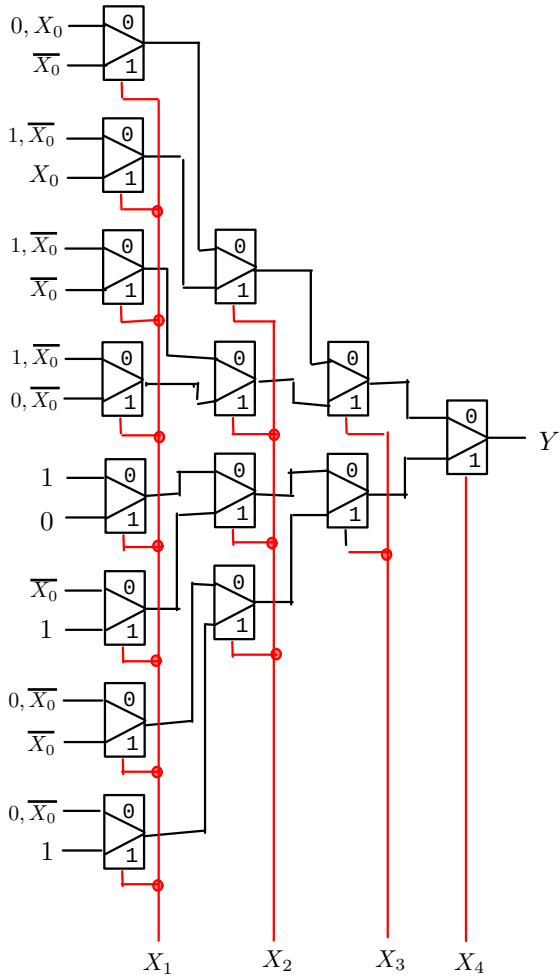
3

Realizzare la rete combinatoria dell'esercizio precedente usando soltanto multiplexer 2:1, evitando l'uso di blocchi non necessari.

{0, -, 1, 0, 1, -, 0, 1, 1, -, 1, 0, 1, -, -, 0, 1, 1, 0, 0, 1, 0, 1, 1, -, 0, 1, 0, -, 0, 1, 1}

Parto realizzando un mux 16:1 con i mux disponibili.
 Procederò poi alle semplificazioni, ove possibili.

0- 10 1- 01 1- 10 1- -0 11 00 10 11 -0 10 -0 11



Versione semplificata eliminando ridondanze e specificando i don't care in modo da ridurre la complessità

4

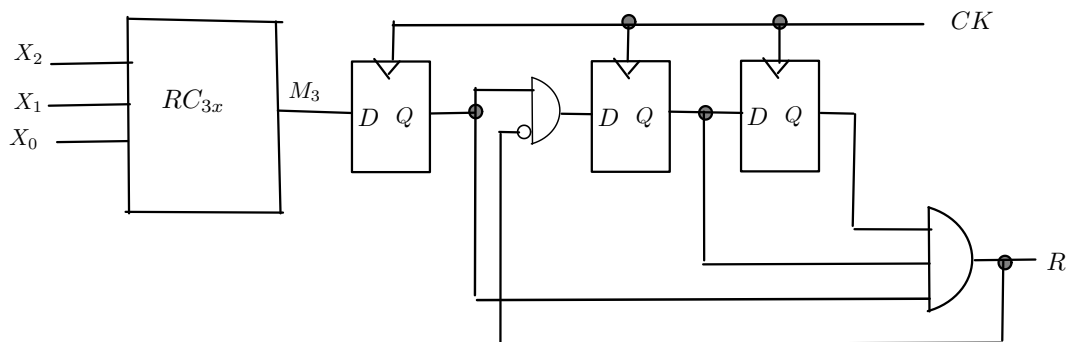
Realizzare una macchina sequenziale sincrona secondo il modello di Moore, con 3 ingressi (le cifre di un numero binario tra 0 e 7) e 1 uscita, che riconosce l'arrivo consecutivo di 3 cifre multiple di 3.

La macchina deve riconoscere anche le sequenze di multipli interallacciate.

Usa un riconoscitore di sequenze non interallacciate basato su shift-register.

Premetto al riconoscitore una rete combinatoria che mette l'uscita a 1 in corrispondenza dei multipli di 3.

Architettura di Moore



		X_2, X_1			
		00	01	11	10
X_0	0	1	0	1	0
	1	0	1	0	0

$$M_3 = \overline{X_2} \overline{X_1} \overline{X_0} + \overline{X_2} X_1 X_0 + X_2 X_1 \overline{X_0}$$

La presenza della AND con l'inverso di R in ingresso al secondo D-FF, impedisce un secondo riconoscimento fino a quando lo shift register non si è riempito di nuovi valori.

1 1 1 contenuto che ha dato R=1
 x 0 1 contenuto modificato dello shift register
 x x 0
 x x x qui si può avere un nuovo riconoscimento

Determinare la rappresentazione nel formato frazionale [3.13] in C2 dei seguenti numeri e valutare l'errore assoluto (nel caso di valori non rappresentabili esattamente, si scelga la rappresentazione che meglio approssima il valore proposto)

$$y_1 = -e^{\frac{e}{3}} \quad y_2 = \log_3(0,175) \quad y_3 = -0,00390625$$

$$y_4 = -\frac{\pi^2}{4} \quad y_5 = 0,2$$

Procedura: si valuta con la massima precisione disponibile il valore da codificare.

Se fuori del range di rappresentabilità, si codifica con l'estremo corrispondente.

Se interno, si moltiplica per 2^{13} e se negativo si somma al risultato 2^{16} .

Si arrotonda. Si passa in esadecimale e si trovano i 16 bit [2.13].

Per valutare l'errore si torna indietro a partire dal valore arrotondato e si fanno a ritroso i passaggi.

Si fa la differenza tra valore rappresentato e valore vero.

$$\text{range } -8 \leq \hat{y} \leq 8 - 2^{-13}$$

$$\text{errore } |\epsilon| \leq 2^{-14} \simeq 6,104 \cdot 10^{-5}$$

$$y_1 = -e^{\frac{e}{3}} \simeq -2,47463755487$$

Passaggi
-20272,2308495
45263,7691505
45264=0xB0D0

$$\epsilon_1 = \hat{y}_1 - y_1 \simeq 2,818 \cdot 10^{-5}$$

Codifica: 101.1000011010000

$$y_2 = \log_3(0,175) = -1,58651903227$$

Passaggi
-12996,7639124
52539,2360876
52539=0xCD3B

$$\epsilon_1 = \hat{y}_2 - y_2 \simeq -2,882 \cdot 10^{-5}$$

Codifica: 110.0110100111011

$$y_3 = -0,00390625$$

Passaggi
-32
65504=0xFFE0

$$\epsilon_3 = \hat{y}_3 - y_3 = 0$$

Codifica: 111.1111111100000

$$y_4 = -\frac{\pi^2}{4} \simeq -2,46740110027$$

Passaggi
-20212,9498134
45323,0501866
45323=0xB10B

$$\epsilon_4 = \hat{y}_4 - y_4 \simeq -6,126 \cdot 10^{-6}$$

Codifica: 101.1000100001011

$$y_5 = 0,2$$

Passaggi
1638,4
1638=0x0666

$$\epsilon_5 = \hat{y}_5 - y_5 \simeq -4,883 \cdot 10^{-5}$$

Codifica: 000.0011001100110

6

Disegnare lo schema logico di un sommatore a 3 bit secondo l'approccio carry look-ahead. Si hanno a disposizione porte elementari, half-adder e full-adder.

