

Il testo deve essere riconsegnato nella cartellina. **Non usare il colore rosso nello svolgimento.**

ESERCIZIO N°1

8 punti

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU che determina (approssimando con un valore intero) la superficie di un cerchio il cui diametro è indicato nel registro R16. Il risultato va lasciato in R25:R24.

ESERCIZIO N°2

5 punti

Realizzare in forma PS ottima la rete combinatoria a 5 ingressi, X_4 , X_3 , X_2 , X_1 , e X_0 (i bit della cifra x) e 1 uscita Y , che vale 1 per i valori di x che presentano 5 o più divisori; in corrispondenza dei valori primi (che hanno soltanto 2 divisori) l'uscita può essere indifferentemente 1 oppure 0 (cioè “-” don't care) e per tutti gli altri valori l'uscita sia 0. Indicare gli implicati essenziali, giustificando l'affermazione.

ESERCIZIO N°3

5 punti

Disegnare il grafo delle transizioni di una macchina sequenziale sincrona secondo il modello di Moore con 2 ingressi X_1 , e X_0 e 2 uscite Y_1 e Y_0 (le cifre binarie dei numeri x e y , tra 0 e 3) che seguono la seguente logica. All'accensione e dopo il primo clock l'uscita deve essere 0; tutte le volte che in ingresso c'è il valore 0, l'uscita (dopo il clock) deve essere 0; ogni volta che un ingresso non nullo è maggiore del precedente, l'uscita si ottiene incrementando il valore precedente (modulo 4); se invece un ingresso non nullo è minore del precedente, l'uscita si ottiene decrementando il valore precedente (modulo 4); se l'ingresso non nullo è uguale al precedente, l'uscita resta uguale. Codificare gli stati, disegnare l'architettura e sintetizzare la rete per l'uscita. Non è richiesta la sintesi della rete per lo stato futuro.

ESERCIZIO N°4

5 punti

Realizzare, possibilmente con un approccio modulare, una rete combinatoria a 8 ingressi (2 parole di 4 bit) in grado di indicare con un valore alto in uscita quando uno dei due ingressi (valori binari senza segno) è maggiore o uguale all'altro.

ESERCIZIO N°5

5 punti

Determinare la rappresentazione nel formato frazionale [4.12] in C2 dei seguenti numeri e valutare l'errore assoluto (nel caso di valori non rappresentabili esattamente, si scelga la rappresentazione che meglio approssima il valore proposto):

$$-e^{e/2}$$

$$\log_3(0,125)$$

$$-11/\pi$$

$$-\pi^2/3$$

ESERCIZIO N°6

5 punti

Disegnare lo schema logico di un divisore di frequenza per 16 e indicare la massima frequenza di ingresso che può essere accettata in funzione dei parametri temporali degli elementi dello schema logico.

```

/*Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU
che determina (approssimando con un valore intero) la superficie di un cerchio
il cui diametro è indicato nel registro R16.
Il risultato va lasciato in R25:R24*/

```

```
area:
```

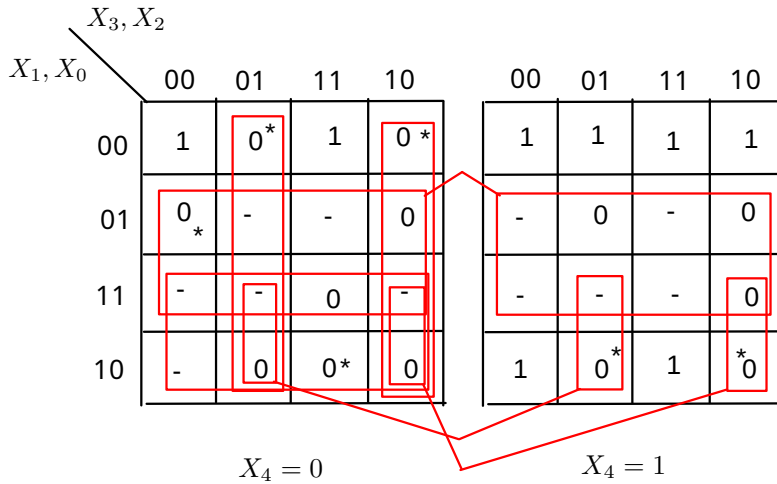
```

push R0
push R1
push R2
push R18
push R19
push R20
push R21
push R22
push R23
clr R2 //registro di appoggio nullo
ldi R20,16
ldi R21,201 //65536*pi()/4 (arrotondato) in R21:R20
mul R16,R16 //diametro al quadrato
movw R19:R18,R1:R0 //salva il quadrato
mul R18,R20 //prodotto di peso minore
movw R23:R22,R1:R0
mul R19,R21 //prodotto di peso maggiore
movw R25:R24,R1:R0
mul R18,R21 //prodotto di peso intermedio
add R23,R0
adc R24,R1
adc R25,R2 //propaga il carry
mul R19,R20 //prodotto di peso intermedio
add R23,R0
adc R24,R1
adc R25,R2 //propaga il carry
lsl R23 //bit per l'arrotondamento
adc R24,R2
adc R25,R2 //in R25:R24 il risultato, come richiesto
pop R23
pop R22
pop R21
pop R20
pop R19
pop R18
pop R2
pop R1
pop R0
ret

```

2

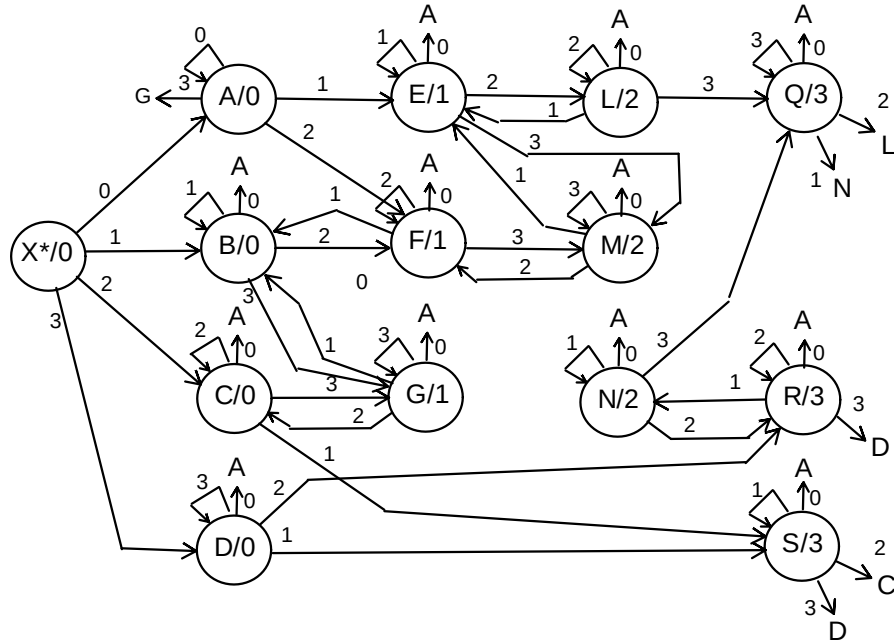
Realizzare in forma PS ottima la rete combinatoria a 5 ingressi (i bit della cifra x) e 1 uscita, che vale 1 per i valori di x che presentano 5 o più divisori; in corrispondenza dei valori primi (che hanno soltanto 2 divisori) l'uscita può essere indifferentemente 1 oppure 0 (cioè "-" don't care) e per tutti gli altri valori l'uscita sia 0. Indicare gli implicati essenziali, giustificando l'affermazione.



Tutti i 6 implicati sono essenziali. La soluzione ottima ha 15 letterali.

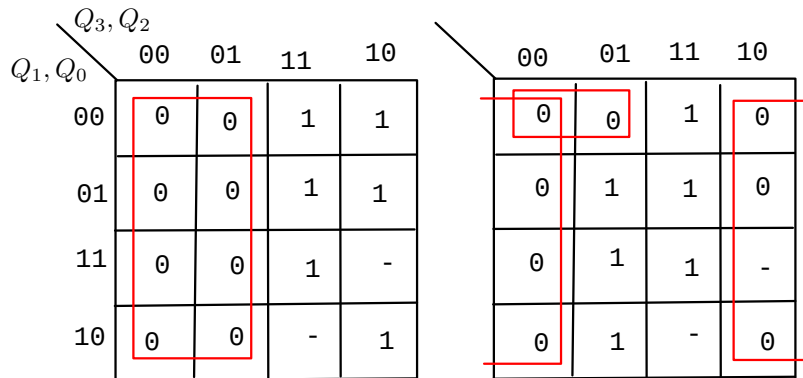
$$Y = (X_4 + X_3 + \overline{X_2})(X_4 + \overline{X_3} + X_2)\overline{X_0}(X_4 + \overline{X_1})(X_3 + \overline{X_2} + \overline{X_1})(\overline{X_3} + X_2 + \overline{X_1})$$

Disegnare il grafo una macchina sequenziale sincrona secondo il modello di Moore con 2 in e 2 out (le cifre binarie dei numeri x e y, tra 0 e 3) che seguono la seguente logica.
 All'accensione e dopo il primo clock, l'uscita è 0;
 ingresso nullo, l'uscita (dopo il clock) deve essere 0;
 ingresso non nullo maggiore del precedente, l'uscita è il valore precedente +1 (modulo 4);
 ingresso non nullo minore del precedente, l'uscita è il valore precedente -1 (modulo 4);
 ingresso non nullo uguale al precedente, l'uscita resta uguale.
 Codificare gli stati e sintetizzare la rete per l'uscita.



Codifica stati (uscita)

X	0000	00
A	0001	00
B	0010	00
C	0011	00
D	0100	00
E	0101	01
F	0110	01
G	0111	01
L	1000	10
M	1001	10
N	1010	10
Q	1100	11
R	1101	11
S	1111	11



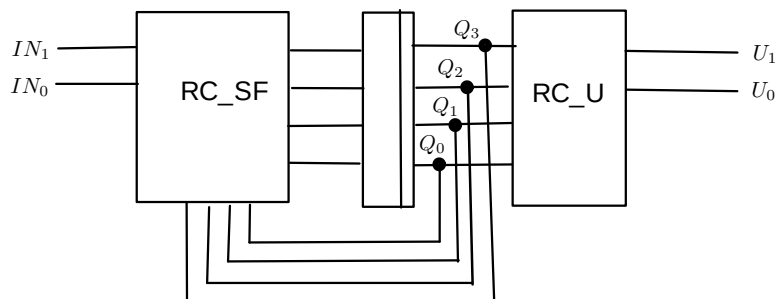
Scelgo la sintesi PS

$$U_1 = Q_3$$

$$U_0 = Q_2(Q_3 + Q_1 + Q_0)$$

Architettura

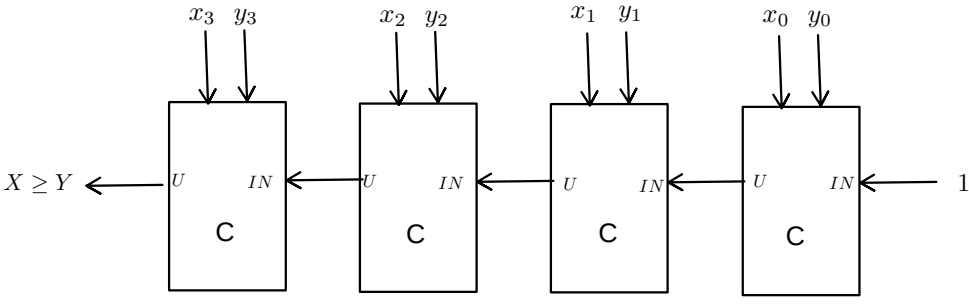
Registro di stato



4

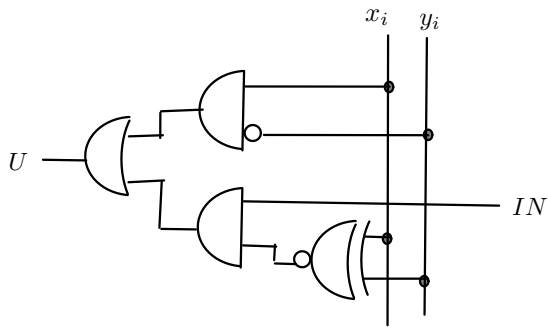
Realizzare, possibilmente con un approccio modulare, una rete combinatoria a 8 ingressi (2 parole di 4 bit) in grado di indicare con un valore alto in uscita quando uno dei due ingressi è maggiore o uguale all'altro.

Cerchiamo una soluzione modulare del tipo seguente:



Lo schema del blocco C è il seguente:

$$U = x_i \bar{y}_i + IN(x_i y_i + \bar{x}_i \bar{y}_i)$$



5

Determinare la rappresentazione nel formato frazionale [4.12] in C2 dei seguenti numeri e valutare l'errore assoluto (nel caso di valori non rappresentabili esattamente, si scelga la rappresentazione che meglio approssima il valore proposto):

$$x_1 = -e^{\frac{e}{2}} \simeq -3,89284757491$$

$$X1=1100.000110110111$$

$$\epsilon_a \simeq 2,53 \cdot 10^{-5}$$

Procedura operativa per trovare la rappresentazione C2
Moltiplico per 4096 e per i negativi sommo 65536
Converto in HEX e metto il punto dopo 4 bit
Per l'errore calcolo il valore rappresentato e sottraggo quello vero

$$x_2 = \log_3(0,125) = \frac{\ln(0,125)}{\ln(3)} \simeq -1,89278926071$$

$$X2=1110.000110110111$$

$$\epsilon_a \simeq -3,30 \cdot 10^{-5}$$

$$x_3 = -\frac{11}{\pi} \simeq -3,501408748$$

$$X3=1100.011111111010$$

$$\epsilon_a \simeq -5,61 \cdot 10^{-5}$$

$$x_4 = -\frac{\pi^2}{3} \simeq -3,2898681337$$

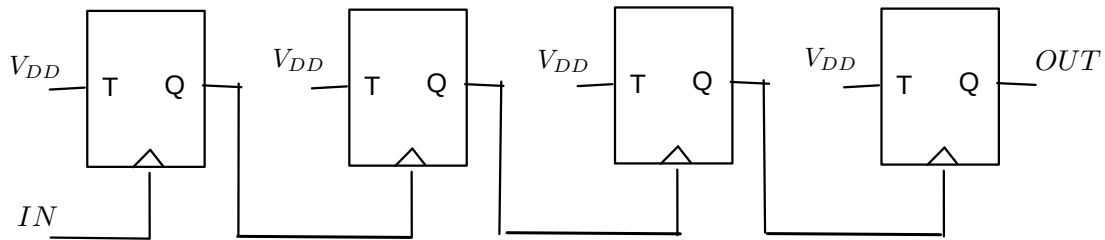
$$X4=1100.101101011101$$

$$\epsilon_a \simeq 7,32 \cdot 10^{-5}$$

6

Disegnare lo schema logico di un divisore di frequenza per 16 e indicare la massima frequenza di ingresso che può essere accettata in funzione dei parametri temporali degli elementi dello schema logico.

Lo schema tipico per realizzare una divisione di frequenza per una potenza del 2 (in questo caso 16) consiste in una successione di (4) divisori asincroni basati su T-FF.



La massima frequenza del segnale IN compatibile con il funzionamento del divisore è quella accettata dal singolo T-FF. Se funziona il primo T-FF della catena, a maggior ragione funzioneranno i seguenti, che hanno in ingresso segnali ciascuno di frequenza pari a metà del precedente.

Nel caso che il T-FF sia realizzato con D-FF e porta XOR, la massima frequenza di commutazione sarà data da:

$$f_{max} = \frac{1}{t_{co} + t_{XOR} + t_{su}}$$