

Il testo deve essere riconsegnato nella cartellina. **Non usare il colore rosso nello svolgimento.**

### ESERCIZIO N°1

8 punti

Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU che determina se il valore del puntatore Y è multiplo di 127. Nel caso in cui la proprietà è verificata (e solo in quello), la subroutine deve ritornare con il flag Z vero.

### ESERCIZIO N°2

5 punti

Realizzare in forma PS ottima la rete combinatoria a 4 ingressi,  $A, B, C, D$ , e 1 uscita  $Y$ , definita dall'espressione booleana

$$U = (A + \overline{C}) \oplus (\overline{B} + C) \oplus (\overline{D} + B) \oplus (\overline{B} + A + D)$$

Indicare gli implicati essenziali evidenziando un maxtermine che li rende tali.

### ESERCIZIO N°3

5 punti

Realizzare una macchina sequenziale sincrona secondo il modello di Mealy sincronizzato, con 1 ingresso e 1 uscita che viene posta a 1 (dopo il clock) ogni volta che in ingresso viene riconosciuta una delle seguenti sequenze: 0101, 0011, 0001 e 0111, non interallacciate.

### ESERCIZIO N°4

5 punti

Realizzare usando un decoder 4:16 e porte OR/NOR a 3 ingressi (cercando di minimizzarne il numero) una rete combinatoria a 4 ingressi che pone 1 in uscita per tutte le combinazioni per cui il numero di 1 è maggiore o uguale al numero di 0.

### ESERCIZIO N°5

5 punti

Siano dati i 2 valori reali  $2,1^{-21}$  e  $1/(21!)$ .

- Determinare la rappresentazione arrotondata in notazione IEEE754-2008 (binary32) e valutare l'errore di rappresentazione relativo commesso nei 2 casi.
- Determinare la rappresentazione con arrotondamento del risultato del rapporto tra il primo e il secondo dei due valori rappresentati (non dei valori originali).

### ESERCIZIO N°6

5 punti

Progettare, facendo uso di un flip-flop di tipo T, un nuovo tipo di flip-flop sincrono con tre ingressi L, M e N caratterizzato dal seguente comportamento:

- il segnale L è un reset, attivo basso, con priorità maggiore degli altri due segnali;
- il segnale M, attivo basso, porta l'uscita a 1 e ha priorità maggiore di N;
- il segnale N, attivo basso, commuta l'uscita.

Se nessun segnale è attivo, l'uscita mantiene il valore precedente.

/\*Realizzare una subroutine per il microcontrollore AVR XMEGA256A3BU che determina se il valore del puntatore Y è multiplo di 127.  
 Nel caso in cui la proprietà è verificata (e solo in quello),  
 la subroutine deve ritornare con il flag Z vero.\*/

```
divisibile_127:
  push R16
  push YL
  push YH
  clr R16
  lsl YL
  rol YH
  rol R16 //in R16 ci va Y15
  lsl YH
  rol R16 //in R16 0,Y15,Y14 (max 3)
  lsr YL //in YL 0,Y6,Y5,Y4,Y3,Y2,Y1,Y0 (max 127)
  lsr YH //in YH 0,Y13,Y12,Y11,Y10,Y9,Y8,Y7 (max 127)
  add R16,YH //(max 130)
  subi R16,127
  brcc d1
  subi R16,-127
d1:
  add R16,YL
  subi R16,127
  brcc d2
  subi R16,-127
d2: //se divisibile per 127, Z=1
  pop YH
  pop YL
  pop R16
  ret
```

Questa versione usa le proprietà del modulo. Una versione meno ottimizzata ma di più immediata comprensione può essere realizzata sottraendo iterativamente 127 da Y sino all'ottenimento del carry. Anche in questo caso il flag Z contiene la risposta.

2

Realizzare in forma PS ottima la rete combinatoria a 4 ingressi e 1 uscita, definita dall'espressione booleana seguente.  
Indicare gli implicati essenziali evidenziando un maxtermine che li rende tali.

$$U = (A + \bar{C}) \oplus (\bar{B} + C) \oplus (\bar{D} + B) \oplus (\bar{B} + A + D)$$

$$\begin{aligned} U &= \bar{A}[\bar{C} \oplus (\bar{B} + C) \oplus (\bar{D} + B) \oplus (\bar{B} + D)] + A[1 \oplus (\bar{B} + C) \oplus (\bar{D} + B) \oplus 1] = \\ &= \bar{A} \bar{B}[\bar{C} \oplus 1 \oplus \bar{D} \oplus 1] + \bar{A} B[1 \oplus 1 \oplus D] + A \bar{B}[1 \oplus \bar{D}] + AB[C \oplus 1] = \\ &= \bar{A} \bar{B} \bar{C} \bar{D} + \bar{A} \bar{B} D \bar{C} + \bar{A} B D + A \bar{B} D + A B \bar{C} \end{aligned}$$

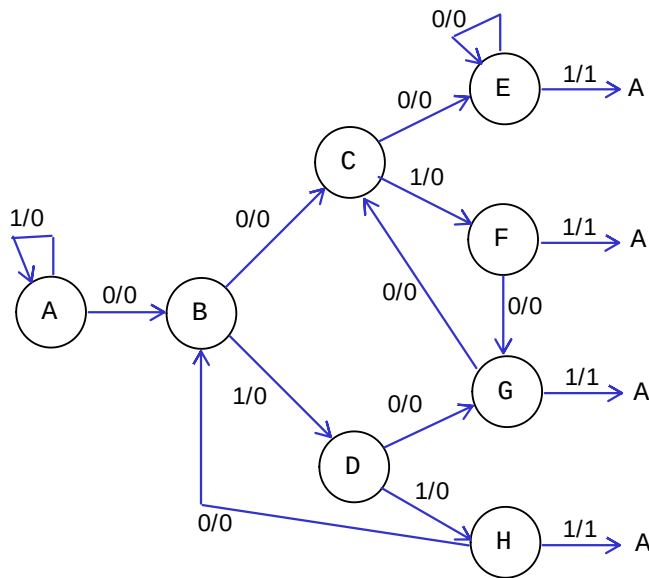
Riporto in mappa la funzione indicata; ho usato il teorema di Shannon per semplificare la funzione. La forma ottima è costituita da 5 implicati, di cui 2 essenziali, 4 di ordine 1, e 1 di ordine 0 per un totale di 16 letterali.

		A, B			
		00	01	11	10
C, D	00	0	0	1	0
	01	1	1	1	1
	11	0*	1	0*	1
	10	1	0	0	0

$$U = (A + B + \bar{C} + \bar{D})(\bar{A} + \bar{B} + \bar{C})(B + C + D)(A + \bar{B} + D)(\bar{A} + \bar{C} + D)$$

3

Realizzare una macchina sequenziale sincrona secondo il modello di Mealy sincronizzato, con 1 ingresso e 1 uscita che viene posta a 1 (dopo il clock) ogni volta che in ingresso viene riconosciuta una delle seguenti sequenze: 0101, 0011, 0001 e 0111, non interallacciate.



Grafo delle transizioni  
 8 stati, servono 3 variabili di stato  
 $Q_2, Q_1, Q_0$

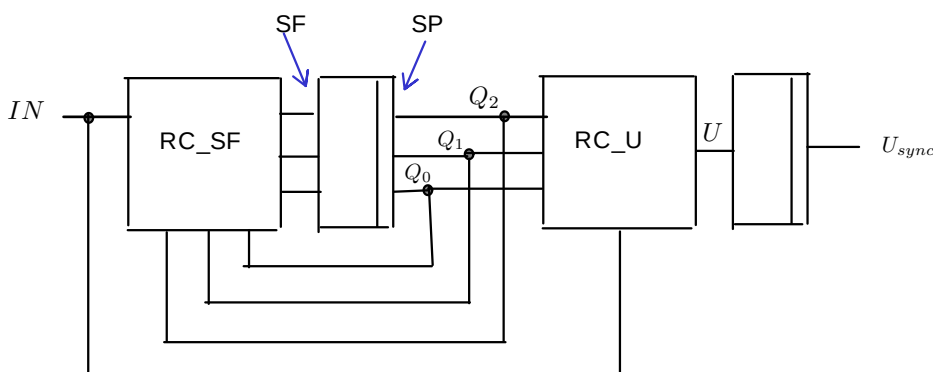
Codifica degli stati

- A 000
- B 001
- C 010
- D 011
- E 100
- F 101
- G 110
- H 111

Mappa delle transizioni e dell'uscita

$Q_2, IN$ \ $Q_1, Q_0$	00	01	11	10
00	001/0	010/0	110/0	100/0
01	000/0	011/0	111/0	101/0
11	000/1	000/1	000/1	000/1
10	000/0	000/0	000/0	000/0

Architettura di Mealy sincronizzata



0 0 1 1  
0 0 1 1  
0 0 0 0  
0 0 0 0

$$D_2 = \overline{Q_2}Q_1$$

0 1 1 0  
0 1 1 0  
0 0 0 0  
0 0 0 0

$$D_1 = \overline{Q_2}Q_0$$

1 0 0 0  
0 1 1 1  
0 0 0 0  
0 0 0 0

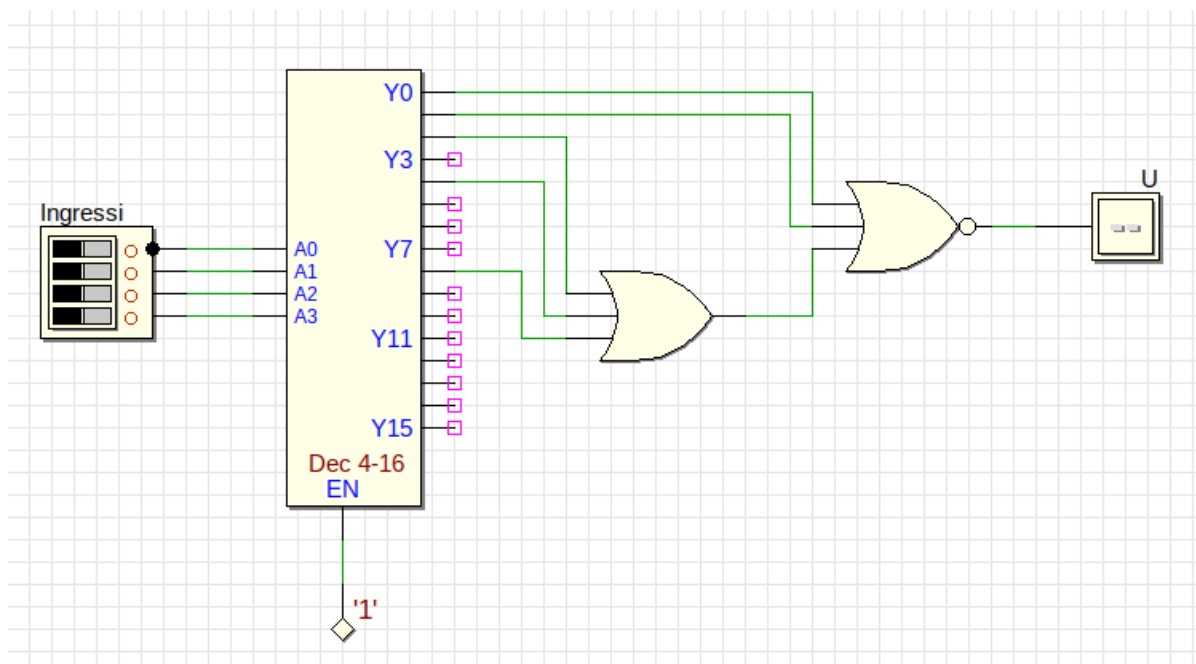
$$D_0 = \overline{I}N \overline{Q_2} \overline{Q_1} \overline{Q_0} + \overline{I}N Q_2 Q_0 + \overline{I}N Q_2 Q_1$$

0 0 0 0  
0 0 0 0  
1 1 1 1  
0 0 0 0

$$U = I N Q_2$$

Realizzare usando un decoder 4:16 e porte OR/NOR a 3 ingressi (cercando di minimizzarne il numero) una rete combinatoria a 4 ingressi che pone 1 in uscita per tutte le combinazioni per cui il numero di 1 è maggiore o uguale al numero di 0.

$X_3, X_2$		$X_1, X_0$			
		00	01	11	10
$X_3, X_2$	00	0	0	1	0
	01	0	1	1	1
	11	1	1	1	1
	10	0	1	1	1



Siano dati i 2 valori reali  $x$  e  $y$  (definiti sotto)

- Determinare la rappresentazione arrotondata in notazione (binary32) e valutare l'errore di rappresentazione relativo commesso nei 2 casi.
- Determinare la rappresentazione con arrotondamento del risultato del rapporto tra il primo e il secondo dei due valori rappresentati (non dei valori originali).

$$x = 2,1^{-21}; \quad y = 1/21!$$

I due numeri, positivi, sono nel range dei normalizzabili. Adotto la solita procedura di conversione.

$$x = 2,1^{-21} \simeq 1,71157057114 \cdot 10^{-7} \simeq 2^{-23}(1 + 3655499 \cdot 2^{-23})$$

$$S = 0; \quad E = 104 = 0x68 \quad T = 3655499 = 0x37C74B$$

$$X: 0\_01101000\_01101111100011101001011$$

$$\epsilon = \frac{\hat{x} - x}{x} \simeq -1,38 \cdot 10^{-8}$$


---

$$y = 1/21! \simeq 1,95729410634 \cdot 10^{-20} \simeq 2^{-66}(1 + 3726456 \cdot 2^{-23})$$

$$S = 0; \quad E = 61 = 0x3D \quad T = 3726456 = 0x38DC78$$

$$X: 0\_001111101\_01110001101110001111000$$

$$\epsilon = \frac{\hat{x} - x}{x} \simeq 2,36 \cdot 10^{-8}$$


---

Eseguo il rapporto tra rappresentazioni, determinandone poi la rappresentazione stessa

$$\frac{\hat{x}}{\hat{y}} = 2^{43} \frac{1 + 3655499 \cdot 2^{-23}}{1 + 3726456 \cdot 2^{-23}} \simeq 2^{42}(1 + 8290345 \cdot 2^{-23})$$

$$S = 0; \quad E = 169 = 0xA9 \quad T = 8290345 = 0x7E8029$$

$$\text{Quoz: } 0\_10101001\_1111110100000000101001$$

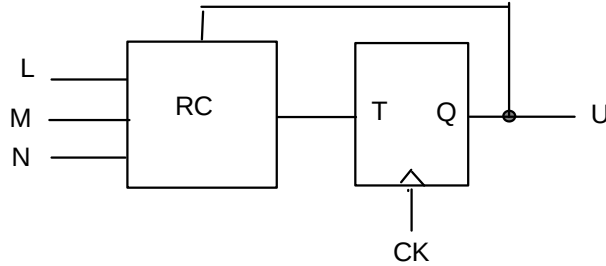
6

Progettare, facendo uso di un flip-flop di tipo T, un nuovo tipo di flip-flop sincrono con tre ingressi L, M e N caratterizzato dal seguente comportamento:

- il segnale L è un reset, attivo basso, con priorità maggiore degli altri due segnali;
- il segnale M, attivo basso, porta l'uscita a 1 e ha priorità maggiore di N;
- il segnale N, attivo basso, commuta l'uscita.

Se nessun segnale è attivo, l'uscita mantiene il valore precedente.

Facciamo riferimento alla seguente architettura generale per macchine sincrone con 2 stati:



Definiamo il comportamento della rete combinatoria per T dalle specifiche e sintetizziamola.

		$M, N$			
		00	01	11	10
$L, Q$	00	0	0	0	0
	01	1	1	1	1
	11	0	0	0	1
	10	1	1	0	1

$$T = Q\bar{L} + \bar{Q}LM + LM\bar{N}$$

